

0/5/2

DIALOG(R) File 351:DERWENT WPI

(c) 1999 Derwent Info Ltd. All rts. reserv.

011921277 **Image available**

WPI Acc No: 98-338187/199830

XRPX Acc No: N98-264391

IO cache apparatus - has controller which selects number of entries of

tag unit from number of entries of data cache unit thereby reducing generation of logic address miss hit

Patent Assignee: NIPPON DENKI ENG KK (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 10124389	A	19980515	JP 96274381	A	19961017	G06F-012/08	199830 B

Priority Applications (No Type Date): JP 96274381 A 19961017

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 10124389	A		7			

Abstract (Basic): JP 10124389 A

The apparatus includes a data cache unit which stores a copy of the data stored in a main memory. A tag unit (11) stores the various data such as entry number showing the entry position of logic of data stored in data cache unit, physical address, effective information. The storage of logic address for accessing main memory is checked in the tag unit by a hit judging unit. If this logic address is stored in the tag unit, then the data stored in the data unit is read out.

In case of a miss hit, that is when logic address is not stored in the tag unit, then all the entries of data cache unit, many number of tag unit entries are set up. Even when all entries of data unit are full, then the corresponding logic *address*, *physical* *address* and offset *address* are stored in the tag unit. Thereby the miss hit of a logic address is decreased. The evaluation of the miss hit is done by a controller.

ADVANTAGE - Reduces generation of logic address miss hit. Reduces TLB read operation on main memory. Improves speed of accessing.

Dwg.1/4

Title Terms: CACHE; APPARATUS; CONTROL; SELECT; NUMBER; ENTER; TAG; UNIT; NUMBER; ENTER; DATA; CACHE; UNIT; REDUCE; GENERATE; LOGIC; ADDRESS; MISS; HIT

Derwent Class: T01

International Patent Class (Main): G06F-012/08

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-124389

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

G 0 6 F 12/08

識別記号

3 1 0

F I

G 0 6 F 12/08

E

3 1 0 Z

審査請求 未請求 請求項の数4 OL (全 7 頁)

(21) 出願番号

特願平8-274381

(22) 出願日

平成8年(1996)10月17日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 松本 心一

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

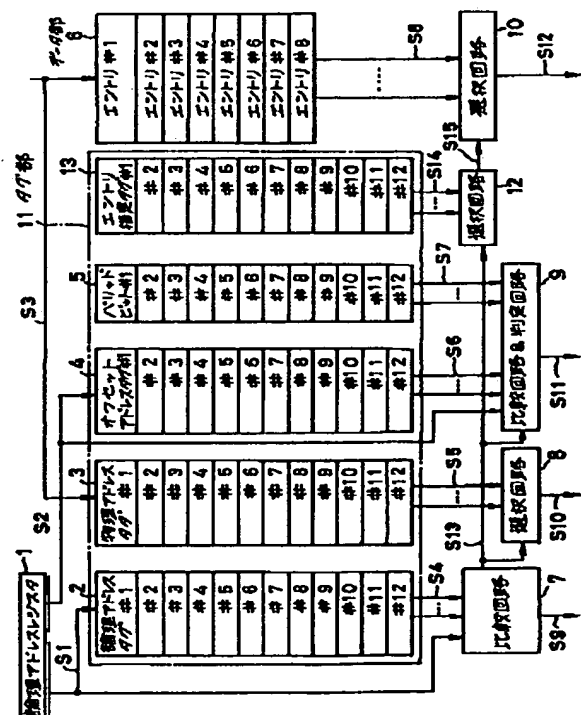
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 キャッシュ装置

(57) 【要約】

【課題】 キャッシュ装置において、論理アドレスミスヒットによるメインメモリ上のTLBリード動作を抑制して、アクセス動作を高速化する。

【解決手段】 キャッシュのデータ部6のエントリ数よりも、タグ部11のエントリ数を多く設定しておく。データ部6の#1～#8の全エントリが満杯であっても、タグ部11の#9、#10のエントリには他の論理アドレス及びこれに対応した物理アドレス、オフセットアドレス等を格納しておくことができるので、論理アドレスのミスヒットは少なくなる。



【特許請求の範囲】

【請求項1】 メインメモリの格納データの写しを格納するデータキャッシュと、このデータキャッシュに格納されるデータの論理及び物理アドレス、当該データの有効性を示す有効情報、当該データの前記データキャッシュにおける格納エントリ位置を示すエントリ番号を夫々対応して格納するタグ部と、前記メインメモリへのアクセス論理アドレスが前記タグ部に格納されているか否かを判定するヒット判定手段と、前記ヒット判定手段によるヒットの判定にตอบสนองして、前記データキャッシュから格納データを読み出し、ミスヒットの判定にตอบสนองして前記メインメモリから格納データを読み出してこれを前記データキャッシュ及びタグ部へ夫々格納制御する制御手段とを含むキャッシュ装置であって、前記データキャッシュのエントリ数よりも前記タグ部のエントリ数を大に選定してなることを特徴とするキャッシュ装置。

【請求項2】 前記制御手段は、前記データキャッシュのエントリが満杯の場合におけるミスヒットの判定にตอบสนองして、前記メインメモリからの読み出しデータにより前記データキャッシュの所定エントリ部の更新を行うと共に、前記読み出しデータに対応する論理及び物理アドレス、有効情報、前記読み出しデータの前記データキャッシュにおける格納エントリ位置を示すエントリ番号を、前記タグ部の空きエントリ部に夫々格納するようにしたことを特徴とする請求項1記載のキャッシュ装置。

【請求項3】 前記制御手段は、前記データキャッシュの前記所定エントリ部に対応するタグ部の有効情報を無効化するようにしたことを特徴とする請求項2記載のキャッシュ装置。

【請求項4】 前記制御手段は、前記ヒットの判定時において前記タグ部の対応有効情報が無効を示す時、前記タグ部の対応物理アドレスを読み出すようにしたことを特徴とする請求項3記載のキャッシュ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はキャッシュ装置に関し、特にIO (Input/Output) キャッシュ装置に関するものである。

【0002】

【従来の技術】この種のIOキャッシュはIOアダプタとメインメモリとの間において、DMA (Direct Memory Access) 転送を行う時に利用されるものである。このIOキャッシュにおいて、IOアダプタからIOキャッシュにアクセスがあると、データのブロック単位でメインメモリからIOキャッシュへデータを格納し、IOキャッシュにヒットしている間は、IOキャッシュとIOアダプタとの間でデータの転送が行われ、メインメモリへのアクセスがない分、アクセス速度の高速化が図れるものである。

【0003】図4はこの種のIOキャッシュの従来のブ

ロック図である。図において、論理アドレスレジスタ1はメインメモリへのアクセス論理アドレスを格納するものである。データ部6はメインメモリ (図示せず) の格納データの一部をブロック単位に、例えば8エントリ格納するキャッシュである。

【0004】タグ部11は論理アドレスタグ2、物理アドレスタグ3、オフセットアドレスタグ4、バリッドビット5を、共に8エントリ (データ部6のエントリと夫々対応) 有するものである。

10 【0005】比較回路7は論理アドレスレジスタ1の上位ビットの論理アドレスS1と、この論理アドレスS1にて検索された論理アドレスタグ2の出力S4との比較を行い、不一致の場合、TLBアクセス要求信号S9をアクティブ (有効) とし、また一致した場合はその一致したエントリ番号を示すタグ選択信号S13を生成する。

【0006】選択回路8はタグ選択信号S13に応じて物理アドレスタグ3のエントリの一つを選択して物理アドレス信号S10を生成する。

20 【0007】比較判定回路9は論理アドレスレジスタ1から出力される下位ビットのオフセットアドレス信号S2とオフセットアドレスタグ4のオフセットアドレス信号S6とを夫々比較し、タグ選択信号S13に応じたエントリが一致した時でかつ、この信号S13に応じたバリッドビット5の出力S7が「有効」を示す時のみ、ヒット判定信号S11をアクティブとする。

【0008】選択回路12はタグ選択信号S13に応じたエントリ指定タグ13のエントリ指定信号S14の一つを選択してエントリ指定信号S15として出力する。

30 選択回路10はこのエントリ指定信号S15に応じてデータ部6のエントリ出力S8の一つを選択してIOキャッシュデータとして出力する。

【0009】

【発明が解決しようとする課題】この図4に示したIOキャッシュにおいて、DMA転送要求でIOアダプタから境界の異なる論理アドレスが複数発行される時、ページ境界の異なる論理アドレスの種類がIOキャッシュに用意されているデータ部のエントリ数よりも多い場合、IOアダプタからの論理アドレスとIOキャッシュにあるタグ論理アドレスとを比較した時ミスヒットする確率が多くなる。

【0010】ミスヒットするとタグ情報のリブレースが行われるために、既にメインメモリ上のアドレス変換テーブル (TLB) から読み込んだ物理アドレスを廃棄してしまう。この論理アドレスのミスヒットによるリブレースが頻繁に発生すると、メインメモリ上のアドレス変換テーブルから物理アドレスを読み出す動作がシステムの性能を落とすことになる。

50 【0011】本発明の目的は、論理アドレスのミスヒットの発生を抑えてメインメモリ上のアドレス変換テー

ルの読出し動作を少なくすることにより、システム性能の低下をなくしたキャッシュ装置を提供することである。

【0012】

【課題を解決するための手段】本発明によれば、メインメモリの格納データの写しを格納するデータキャッシュと、このデータキャッシュに格納されるデータの論理及び物理アドレス、当該データの有効性を示す有効情報、当該データの前記データキャッシュにおける格納エントリ位置を示すエントリ番号を夫々対応して格納するタグ部と、前記メインメモリへのアクセス論理アドレスが前記タグ部に格納されているか否かを判定するヒット判定手段と、前記ヒット判定手段によるヒットの判定にตอบสนองして、前記データキャッシュから格納データを読み出し、ミスヒットの判定にตอบสนองして前記メインメモリから格納データを読み出してこれを前記データキャッシュ及びタグ部へ夫々格納制御する制御手段とを含むキャッシュ装置であって、前記データキャッシュのエントリ数よりも前記タグ部のエントリ数を大に選定してなることを特徴とするキャッシュ装置が得られる。

【0013】そして、前記制御手段は、前記データキャッシュのエントリが満杯の場合におけるミスヒットの判定にตอบสนองして、前記メインメモリからの読出しデータにより前記データキャッシュの所定エントリ部の更新を行うと共に、前記読出しデータに対応する論理及び物理アドレス、有効情報、前記読出しデータの前記データキャッシュにおける格納エントリ位置を示すエントリ番号を、前記タグ部の空きエントリ部に夫々格納するようにしたことを特徴とする。

【0014】また、前記制御手段は、前記データキャッシュの前記所定エントリ部に対応するタグ部の有効情報を無効化するようにしたことを特徴としており、そして、前記制御手段は、前記ヒットの判定時において前記タグ部の対応有効情報が無効を示す時、前記タグ部の対応物理アドレスを読み出すようにしたことを特徴としている。

【0015】本発明の作用を述べると、データキャッシュに対応するタグのエントリ数を、データキャッシュのエントリ数よりも多く設けておくもので、これにより、タグのエントリのリプレースの回数をできるだけ少なくして、TLB情報の廃棄をなくし、余分なメインメモリからのTLB読出し動作を減らす。

【0016】

【発明の実施の形態】以下に、図面を用いて本発明の実施例について説明する。

【0017】図1は本発明の実施例のブロック図であり、図4と同等部分は同一符号により示す。図1に示したIOキャッシュの仕様について説明する。本実施例ではページサイズが4キロバイトページング方式仮想記憶システムを想定している。IOアダプタは図示してい

いバスに複数あり、このバス上では論理アドレスによるDMA転送を行う。論理アドレスから物理アドレスに変換する時に使用するアドレス変換テーブル(TLB: Translation Look aside Buffer)は図示していないメインメモリ上にある。アドレスの変換はページ単位で行われる。

【0018】データ部6は1エントリ当り64バイトの容量で8エントリ(#1~#8)分あり、合計で512バイトの容量がある。タグ部11には論理アドレス2、物理アドレス3、オフセットアドレス4、バリッドビット5、エントリ指定ビット6の情報を格納するタグを持ち、12エントリ(#1~#12)分を持つ。

【0019】この実施例では、論理アドレスのビット幅を32ビットとする。ページサイズが4キロバイトなので上位の20ビットが論理アドレスから物理アドレスへの変換対象になる。下位12ビットは論理アドレスと物理アドレスは同じであり、ここではオフセットアドレスと呼ぶ。データ部6のエントリのデータ容量は64バイトであるためオフセットアドレスの12ビットのうち、下位5ビットはIOキャッシュからの読出し時のワード選択に使用する。

【0020】図2はこの図1の回路の動作を示すフローチャートであり、図3(A)はその動作タイミングを示している。尚、図3(B)は従来の構成での動作タイミングを示し、図3(C)は図3(A)、(B)の動作タイミング中の各記号等の読み方を示すものである。

【0021】以下に、これ等各図を参照しつつ本発明の実施例の動作について説明する。

【0022】先ず、論理アドレスにおいて不一致となる場合のミスヒットについて説明する。

【0023】図示していないIOアダプタからのDMAアクセス要求がくると(ステップ101)、IOアダプタが出力する論理アドレスを論理アドレスレジスタ1に格納する(ステップ102)。比較回路7は論理アドレスレジスタ1から出力する上位20ビットの論理アドレス信号S1と論理アドレスタグ2から出力する全ての論理アドレス信号S4を比較する(ステップ103)。

【0024】初期状態では、論理アドレスタグ2には何も格納されていないので論理アドレスは不一致になり、比較回路7はTLBアクセス要求信号S9を有効にする。図示していないメモリ制御部はTLBアクセス要求信号S9が有効になると、論理アドレス信号S1からTLBがあるメモリアドレスを計算してメインメモリのリードアクセスを行う(ステップ106)。メインメモリから読出されたメモリリードデータ(物理アドレス)S3は物理アドレスタグ3の#1に格納される(ステップ107, 108)。

【0025】また、論理アドレス信号S1は論理アドレスタグ2の#1に、オフセットアドレス信号S2はオフセットアドレスタグ4の#1に夫々格納される(ステッ

ア108)。エン트리指定のタグ11の#1を“1”にする(ステップ109、110)。同時に、図示していないメモリ制御部は得られたメモリリードデータ(物理アドレス)信号S3とオフセットアドレス信号S2からメモリアドレスを計算して、データ部6に格納するデータをメインメモリから読出す。読出された64バイトのメモリリードデータ信号S3はデータ部6のエン트리#1に格納して(ステップ111)、バリッドビット5の#1を有効にする。

【0026】次に、ヒットの場合について説明する。論理アドレスレジスタ1から出力される論理アドレス信号S1と論理アドレスタグ2から出力される論理アドレス信号S4を比較回路7で比較した結果、論理アドレスタグ2の#1にヒットするとタグ選択信号S13は、

“1”を出力する(ステップ103)。同時に論理アドレスレジスタ1から出力されるオフセットアドレス信号S2とオフセットアドレスタグ4のオフセットアドレス信号S6を比較判定回路9で比較して、タグ選択信号S13で#1の比較結果を選択する。同時にバリッドビット5の#1を選択して、ヒット/ミスヒットを判定する(ステップ104)。ここではオフセットアドレスは一致し、バリッドビットも有効なのでヒット判定信号S11が有効になる。

【0027】一方、選択回路12はタグ選択信号S13の値が“1”なのでエン트리指定タグ11の#1の内容をエン트리指定信号S15に出力する。選択回路10はデータ部6の#1を選択してS12にIOキャッシュのデータを出力する(ステップ105)。

【0028】オフセットアドレスで不一致するミスヒットの場合について説明する。比較回路7で論理アドレス信号S1は論理アドレスタグ2の#1で一致すると、タグ選択信号S13は“1”を出力する(ステップ103)。選択回路8は物理アドレスタグ3の#1の物理アドレス信号S5を信号S10へ出力する。比較判定回路9でオフセットアドレス信号S2とオフセットアドレスタグ4の#1の不一致を検出すると、ヒット判定信号S11は有効にならない(ステップ104)。

【0029】メモリ制御部は物理アドレス信号S10とオフセットアドレス信号S2からメモリアドレスを生成してメインメモリのリードアクセスを行う。読出されたメモリリードデータS3はデータレジスタ6の#1に格納し、オフセットアドレスタグ4の#1にオフセットアドレス信号S2を格納してオフセットアドレスを更新する(ステップ108~111)。そしてヒット判定信号S11を有効にする。

【0030】9種類以上の異なった論理アドレスによるIOキャッシュアクセスの場合について述べる。上記の動作を繰返し比較回路7で論理アドレスで不一致によるミスヒットが8回行われた時は、タグ部の論理アドレスタグ2、物理アドレスタグ3、オフセットアドレスタグ

4、バリッドビット5、エン트리指定タグ11の#1から#8まで有効なタグ情報が格納されている。

【0031】また、エン트리指定タグ11の#1から#8には順に、“1、2、3、4、5、6、7、8”となり、データ部6のエントリを選択する値が格納されている。この状態の時に、更に異なった論理アドレスによるIOキャッシュアクセスがあると、バリッドビット11の#1から#8のいずれかを無効化して(ステップ112)、そのタグに対応するデータ部6をリブレースする。ここではタグ部の#2をリブレースの対象として説明する。

【0032】比較回路7で論理アドレスの不一致が発生してからTLBリードを行い、次にメインメモリから読出したデータをデータ部6に格納するまでの処理手順は前述した論理アドレスで不一致する場合のミスヒットの場合と同様である。その時のタグの更新はバリッドビット5の#2を無効にする(ステップ113)。

【0033】論理アドレスタグ2の#9、物理アドレスタグ3の#9、オフセットアドレスタグ4の#9には夫々のアドレスが格納される。エン트리指定タグ11の#9にはエン트리指定タグ11の#2の内容“2”が格納される(ステップ110)。メインメモリから読出されたメモリリードデータ(転送データ)はデータ部6の#2に格納され、バリッドビット5の#9が有効になる。

【0034】論理アドレスタグと一致したがバリッドビットが無効の場合について説明する。前記の動作後、バリッドビット5の#2が無効の時、論理アドレス2の#2と一致するIOキャッシュアクセスがあると、比較回路7は、論理アドレスが一致するのでTLBアクセス要求信号S9は有効にならない。タグ選択信号S13によって比較判定回路9はバリッドビット5の#2が無効であるためヒット判定信号S11は有効にならない。

【0035】この場合は既に物理アドレスが判っているので、物理アドレス信号S10とオフセットアドレス信号S2からメモリアドレスを計算してメインメモリからデータを読出しデータ部6へデータを格納する。バリッドビット5の#2を有効にするため、既に有効になっているバリッドビット5の#1、#3から#9のいずれかを無効にする。バリッドビット5の#3を無効にする場合、エン트리指定タグ11の#2はエン트리指定タグ11の#3の“3”が設定される。データのリブレース対象はデータ部6の#3になる。

【0036】図3(A)に示す如く、本発明では、10回目のキャッシュアクセスにおいても、データキャッシュ6のエントリ数(8)よりもタグ部13のエントリ数(12)が大となっているので、メインメモリへのTLBリードの発生が不要となり、図3(B)に示す如く、従来では、データキャッシュ部とタグ部とのエントリ数は一対一になって等しくなっているのに、10回目ではメインメモリへのTLBリードの発生が生じる。

【0037】尚、エントリのリプレイスアルゴリズムについては、周知のものを使用できるが、例えば一般的なLRU (Last Recently Used) アルゴリズムを用いることができる。

【0038】

【発明の効果】以上述べた如く、本発明によればデータ部のエントリ数よりもタグ部のエントリ数を大に選定することにより、論理アドレスミスヒットの発生を少なくして、メインメモリ上のTLBリード動作を減少せしめることができ、よって、アクセスの高速化が図れる。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】図1のブロックの動作を示すフローチャートである。

【図3】(A)は図1のブロックの動作のタイミング図、(B)は従来例の動作のタイミング図、(C)は

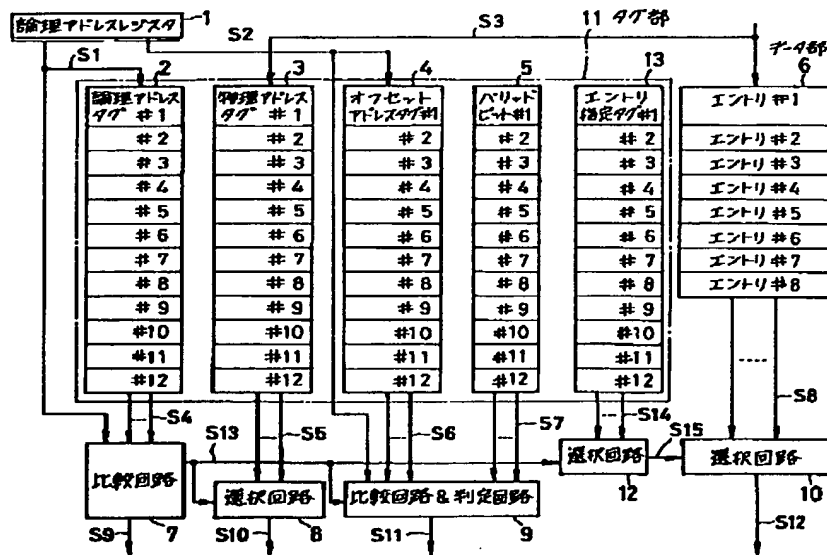
(A)、(B)のタイミング図の見方を説明するための図である。

【図4】従来のIOキャッシュのブロック図である。

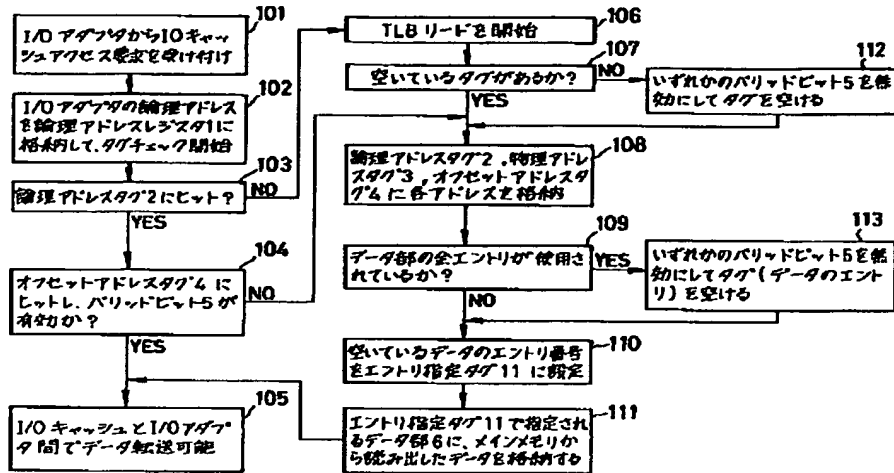
【符号の説明】

- 1 論理アドレスレジスタ
- 2 論理アドレスタグ
- 3 物理アドレスタグ
- 4 オフセットアドレスタグ
- 5 バリッドビット
- 6 データ部
- 7 比較回路
- 8, 10, 12 選択回路
- 9 比較選択回路
- 11 タグ部
- 13 エントリ指定タグ

【図1】

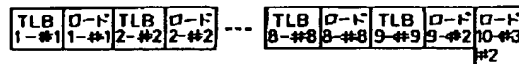


【図2】

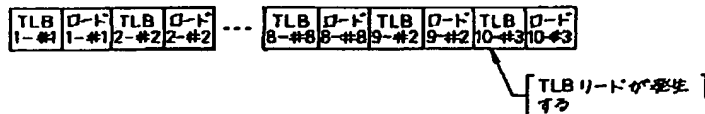


【図3】

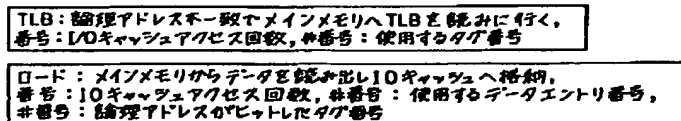
(A)



(B)



(C)



【図4】

